

BEST AVAILABLE COPY

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. Februar 2001 (08.02.2001)

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/09956 A1

(51) Internationale Patentklassifikation⁷: **H01L 29/423, 21/336, 29/78**

[DE/DE]; Mitterfeldring 118, D-85586 Poing (DE).
HIRLER, Franz [DE/DE]; Mozartstr. 4, D-84424 Isen (DE). **KOTEK, Manfred** [AT/AT]; Ossiacherzeile 52, A-9500 Villach (AT).

(21) Internationales Aktenzeichen: **PCT/DE00/01647**

(22) Internationales Anmeldedatum:
23. Mai 2000 (23.05.2000)

(74) Gemeinsamer Vertreter: **INFINEON TECHNOLOGIES AG**; c/o Müller & Hoffmann, Innere Wiener Strasse 17, 81667 München (DE).

(25) Einreichungssprache: **Deutsch**

(81) Bestimmungsstaaten (*national*): **JP, US.**

(26) Veröffentlichungssprache: **Deutsch**

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

(30) Angaben zur Priorität:
199 35 442.1 28. Juli 1999 (28.07.1999) **DE**

Veröffentlicht:

— Mit internationalem Recherchenbericht.

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, D-81541 München (DE).

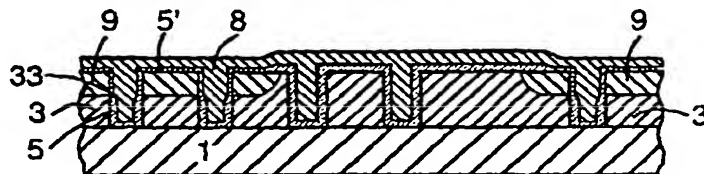
Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **LARIK, Joost**

(54) Title: METHOD FOR PRODUCING A TRENCH MOS POWER TRANSISTOR

(54) Bezeichnung: VERFAHREN ZUM HERSTELLEN EINES TRENCH-MOS-LEISTUNGSTRANSISTORS



(57) Abstract: The invention relates to a method for producing a trench MOS power transistor in which an oxide step (20) is produced between a thicker oxide layer (5) and a thinner oxide layer (5') by means of an auxiliary layer (6) placed in a trench (2) of an epitaxial layer (3).

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors, bei dem mittels einer Hilfsschicht (6) in

einem Graben (2) einer epitaktischen Schicht (3) eine Oxidstufe (20) zwischen einer dickeren Oxidschicht (5) und einer dünneren Oxidschicht (5') erzeugt wird.

WO 01/09956 A1

Beschreibung

Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors

5

Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen einer Trench-MOS-Leistungstransistors, bei dem in einen Halbleiterkörper wenigstens ein Graben eingebracht wird, der dann mit einem von der Grabeninnenfläche durch eine Isolierschicht getrennten leitenden Material wenigstens teilweise ausgefüllt wird, wobei die Isolierschicht so in den Graben eingebracht wird, daß diese im Bereich des unteren Endes des Grabens mit einer größeren Schichtdicke als an dessen oberem Ende versehen wird.

15

Für die Entwicklung von neuen Generationen von DMOS-Leistungstransistoren ist die Verringerung des spezifischen Einschaltwiderstandes von großer Bedeutung. Denn mit einer solchen Verringerung des spezifischen Einschaltwiderstandes ist es möglich, die statische Verlustleistung zu reduzieren und dabei höhere Stromdichten zu erreichen, so daß kleinere und billigere Chips für den gleichen Gesamtstrom eingesetzt werden können.

25

Aus diesem Grund wird schon seit längerem darüber nachgedacht, wie der spezifische Einschaltwiderstand in zweckmäßiger Weise vermindert werden kann. Grundsätzlich ist dies nun dadurch möglich, daß von einer planaren Zellenstruktur abgegangen wird und Trenchzellen verwendet werden. Durch den Einsatz von Trenchzellen kann nämlich der Kanalwiderstand eines MOS-Transistors durch eine deutliche Vergrößerung der Kanalweite pro Flächeneinheit vermindert werden. Der Widerstand der Driftstrecke, der auch als "Epiwiderstand" bezeichnet wird, da sich die Driftstrecke bevorzugt in einer auf einem Halbleitersubstrat aufgetragenen epitaktischen Schicht befindet, kann durch Verwendung von tiefen Trenches reduziert werden (vgl. hierzu US 4 941 026).

35

Tiefe Trenches setzen aber voraus, daß im unteren Bereich dieser Trenches eine dickere Isolierschicht, die hier auch als Feldplatte bezeichnet wird, als im oberen Bereich, d.h. im Kanalbereich, mit dem eigentlichen Gateoxid verwendet wird.

Bei der Entwicklung von Trench-MOS-Leistungstransistoren ist die Erreichung der erforderlichen Gateoxidqualität eine besondere Herausforderung. Einerseits muß das Gateoxid auf den verschiedensten Kristallorientierungen aufgewachsen werden, weil auch der Trenchboden und die an der Oberfläche des Halbleiterkörpers liegende Kante bzw. Ecke mit einer Isolierschicht, also dem Gateoxid überzogen werden muß. Da die Geschwindigkeit des Oxidwachstums von der Kristallorientierung abhängt, führt dies zu einer ungewollten Verbreiterung der Dickenverteilung des Gateoxides über den Trench. Die Oxidation von gekrümmten Siliziumflächen verursacht Dünnungen im Gateoxid und Spitzen im Silizium des Halbleiterkörpers. Dies wirkt sich wiederum negativ auf die elektrische Qualität des Gateoxides aus, weil die dünnste Stelle die Durchbruchfeldstärke bestimmt. Jedoch muß das leitende Gatematerial, insbesondere dotiertes Polysilizium, an irgendeiner Stelle über die Kante herausgeführt werden um dieses elektrisch anzuschließen. Das Gateoxid ist an dieser Stelle besonders durchbruchsgefährdet.

Ein weiteres Ziel bei der Entwicklung von Trench-MOS-Leistungstransistoren ist es, die elektrischen Feldspitzen im Sperrfall so zu modulieren, daß die Lawinenmultiplikation im Halbleiterkörper und nicht an einer Grenzfläche eintritt. Der Avalanchedurchbruch an der Grenzfläche zwischen Halbleiterkörper und Gateoxid würde nämlich zur Injektion von heißen Ladungsträgern ins Gateoxid und somit einem Driften des Bauelementes führen.

3

Die bisherigen Verfahren zum Herstellen derartiger Trench-MOS-Leistungstransistorzellen, bei denen eine Isolierschicht im unteren Bereich des Trenchs dicker ist als im oberen Bereich, sind relativ aufwendig.

5

Ein Beispiel hierfür ist in der US 5 326 711 beschrieben: bei diesem bekannten Verfahren sind beispielsweise insgesamt drei Abscheidungen von polykristallinem Silizium im Herstellungsprozeß erforderlich, um den Trench in der gewünschten Weise zu gestalten.

10

Bei einem aus EP 0 666 590 A2 bzw. US 5 783 491 bekannten Verfahren wird die Qualität des Gatedielektrikums mittels zweimaliger Oxidation ("Sacrificial oxide") und Abätzung des Oxids verbessert. Damit wird eine gewisse Verrundung der Siliziumkanten erreicht.

15

Es ist daher Aufgabe der vorliegenden Erfindung, ein Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors anzugeben, mit dem ein Trench mit dickerer Isolierschicht in einem unteren Bereich als in einem oberen Bereich auf einfache Weise herzustellen ist.

20

Diese Aufgabe wird bei einem Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors, bei dem in einen Halbleiterkörper wenigstens ein Graben eingebracht wird, der dann mit einem von der Grabeninnenfläche durch eine Isolierschicht getrennten leitenden Material wenigstens teilweise ausgefüllt wird, wobei die Isolierschicht so in den Graben eingebracht wird, daß diese im Bereich des unteren Endes des Grabens mit einer größeren Schichtdicke als an dessen oberen Ende versehen wird, erfindungsgemäß dadurch gelöst, daß

25

30

- (a) in den Halbleiterkörper der wenigstens eine Graben eingebracht wird,
- (b) die Wände und der Boden des Grabens mit einem ersten Isolierfilm belegt werden,

35

- (c) das untere Ende des Grabens mit einer ersten Hilfsschicht gefüllt wird,
- (d) die nicht mit der ersten Hilfsschicht belegten Teile des ersten Isolierfilms entfernt werden,
- 5 (e) die Hilfsschicht entfernt wird,
- (f) ein zweiter Isolierfilm, der dünner als die Enddicke des ersten Isolierfilmes ist, auf den freiliegenden Wänden des Grabens aufgewachsen wird,
- (g) der Graben mit dem leitenden Material gefüllt wird und
- 10 (f) Source- und Bodyzonen in den Halbleiterkörper eingebracht und Metallisierungen zur Kontaktierung dieser Zonen angebracht werden.

Soll in bestimmten Bereichen die Entfernung des ersten Isolierfilmes verhindert werden, was am Rand der Fall sein kann, so wird in diesen Bereichen eine weitere Hilfsschicht als Maskierung aufgetragen. Auch kann von der angegebenen Reihenfolge abgewichen werden, indem beispielsweise die Source- und Bodyzonen zuerst erstellt werden.

20

Mit dem erfindungsgemäßen Verfahren wird eine Struktur vorgeschlagen, die sowohl die kritischen Stellen hinsichtlich Gateoxidqualität entschärft, als auch im aktiven Bereich eine Modulation der Feldverteilung mittels Trench-Feldplatte zuläßt. Im oberen Teil eines Trenches befindet sich die eigentliche MOS-Struktur des Transistors mit dem Gateoxid. Im unteren Teil des Trenches ist das Dielektrikum (Feldplatte) dicker als das Gateoxid. Dadurch kann über dem Dielektrikum eine höhere Spannung abfallen, was tiefere Trenches und einen niedrigeren Einschaltwiderstand R_{on} erlaubt. Der Übergang zwischen Gateoxid und Feldplattenoxid ist vorzugsweise graduiert. Ein abrupter Übergang würde zu ungünstigen Feldspitzen im Silizium führen. Die Trenches können sowohl in Zellen, Streifen als auch in beliebigen anderen geometrischen Formen

35 angeordnet sein.

Im obigen Schritt (c) kann der Graben auch mit der ersten Hilfsschicht gefüllt und rückgeätzt werden, so daß die erste Hilfsschicht am unteren Ende des Grabens zurückbleibt.

- 5 Das Gatematerial wird über Dickoxid an die Oberfläche des Halbleiterkörpers geführt, was bedeutet, daß die elektrische Feldstärke im Oxid an kritischen Kanten entschärft ist.

10 Für den Halbleiterkörper kann in bevorzugter Weise ein hoch mit Bor dotiertes Siliziumsubstrat als Ausgangsmaterial verwendet werden, auf das eine p-leitende epitaktische Schicht mit einer Dotierstoffkonzentration von 1×10^{14} bis 1×10^{18} Ladungsträger cm^{-3} abgeschieden wird. Das Ätzen der Trenches kann dann in üblicher Weise mit Hilfe einer strukturierten
15 Trenchmaske, die beispielsweise aus Siliziumdioxid besteht, vorgenommen werden. Nach dem Herstellen der Trenches wird diese Trenchmaske entfernt.

20 Die Trenches selbst können als Streifen oder auch als Gitter für eine Zellenstruktur ausgeführt werden. Die Weite der Trenches sollte dabei größer als die doppelte Breite eines später aufgetragenen ersten Isolierfilmes aus beispielsweise Siliziumdioxid (Feldoxid) sein.

25 Dieser erste Isolierfilm wird mit einer Schichtdicke aufgetragen, die von der Spannungsklasse abhängt, für die die Trench-MOS-Transistorzelle eingesetzt werden soll. Die Schichtdicken können dabei von Bereichen unterhalb $0,1 \mu\text{m}$ bis einige μm reichen. Sollen Stufen des Isolierfilmes an dessen
30 späterem oberen Rand vermieden werden, so ist es zweckmäßig, für den ersten Isolierfilm ein Mehrschichtsystem einzusetzen, also den ersten Isolierfilm aus mehreren Schichten aus beispielsweise thermischem Siliziumdioxid durch thermische Oxidation des trenchgeätzten Halbleiterkörpers und einem abge-
35 schiedenen Siliziumdioxid (TEOS), zu gestalten. Diese Materialien können alternativ auch für den ersten Isolierfilm verwendet werden, wenn dieser aus nur einer Schicht besteht.

Für die erste Hilfsschicht kann in vorteilhafter Weise beispielsweise Photolack eingesetzt werden, der zunächst bis über die Silizium-Kante des Halbleiterkörpers reicht und dann
5 in den Trenches bis unter die sogenannte "Bodyunterkante", einer n-leitenden Wanne in der p-leitenden epitaktischen Schicht, rückgeätzt wird. Bei Verwendung von Photolack für die Hilfsschicht wird vorzugsweise eine Temperaturbehandlung ("postbake") vorgenommen.

10 Sollen inaktive Trenches erzeugt werden, so können die entsprechenden Bereiche des ersten Isolierfilmes mit einer weiteren Hilfsschicht maskiert werden. Für diese weitere Hilfsschicht kann beispielsweise Photolack verwendet werden.

15 Nach Auftragen der Hilfsschicht wird der erste Isolierfilm beispielsweise auf naßchemischem Wege isotrop geätzt, so daß dieser erste Isolierfilm lediglich unter der ersten Hilfsschicht zurückbleibt. Anschließend wird die erste Hilfsschicht entfernt. Sodann wird die Gate-Isolierschicht aus
20 beispielsweise Siliziumdioxid, das sogenannte Gateoxid, aufgewachsen, dessen Schichtdicke abhängig von der beabsichtigten Einsatzspannung der Trench-MOS-Transistorzelle zwischen einigen wenigen nm bis über 100 nm beträgt. Wichtig ist aber,
25 daß diese Gate-Isolierschicht, die den zweiten Isolierfilm bildet, dünner als die Enddicke des Isolierfilmes ist.

Die weitere Herstellung der Trench-MOS-Transistorzelle erfolgt, von einer Ausnahme abgesehen, in üblicher Weise:

30 Das Bodygebiet wird, maskiert durch den ersten Isolierfilm oder durch eine eigene Phototechnik, implantiert und ausdifundiert. Sodann wird das Gatematerial, insbesondere polykristallines Silizium abgeschieden und dotiert. Nach einem
35 strukturierten Zurückätzen des Gatematerials bis unter die Siliziumoberkante des Halbleiterkörpers kann gegebenenfalls eine Versiegelung des Gatematerials mit einer Isolierschicht

aus Siliziumdioxid folgen, um eine Ausdiffusion von Dotierstoffen zu verhindern. Diese Reihenfolge von Diffusion des Bodygebietes und Strukturieren bzw. Versiegeln des Gatematerials könnte gegebenenfalls auch geändert, d.h. umgekehrt werden.

Es ist nun vorteilhaft, wenn eine sogenannte "Bodyverstärkung" eingebracht wird. Dies geschieht in bevorzugter Weise durch Implantation einer n⁺-leitenden Zone im n-leitenden Bodybereich, wenn das Halbleitersubstrat p-leitend ist. Selbstverständlich können die jeweiligen Leitungstypen auch umgekehrt sein. Diese Bodyverstärkung bewirkt eine Verminderung der Durchbruchsspannung der MOS-Transistorzelle an der Stufe zwischen dem ersten dickeren Isolierfilm und dem zweiten dünneren Isolierfilm, d.h. an der sogenannten Oxidstufe im Trench. Eine bevorzugte Dotierstoffkonzentration für die Bodyverstärkung beträgt etwa 1×10^{18} Ladungsträger cm⁻³.

Die Bodyverstärkung und weitere Dotierungen können auch zu einem anderen Zeitpunkt, beispielsweise am Anfang des Prozesses, eingebracht werden.

Es schließt sich sodann eine Implantation der Sourcezone an, wobei diese Implantation durch den ersten Isolierfilm oder eine eigene Phototechnik maskiert sein kann. Nach Abscheiden eines Dielektrikums aus beispielsweise Siliziumdioxid zur Isolation von Gate und Sourcemetallisierung wird ein Ätzen der Kontaktlöcher vorgenommen.

Nach einer maskierten Implantation eines n⁺-leitenden Bodykontaktes, die gegebenenfalls für jede Trench-MOS-Transistorzelle vorgenommen wird, folgt die übliche Metallabscheidung mit beispielsweise Aluminium für die Sourcezone und den Bodykontakt. Die durch die Metallabscheidung aufgetragene Metallisierung wird sodann strukturiert, worauf noch eine Passivierung folgen kann.

Zusammenfassend ermöglicht die Erfindung insbesondere die folgenden Vorteile:

- 5 - gute Gateoxidqualität durch Entschärfung von Kanten und Ecken; es wird an keiner Stelle des Transistors Gatematerial über Gateoxid an kritischen Kanten geführt;
- 10 - dickes Oxid des ersten Isolierfilmes im Boden des Trenches um hohen Drain-Gate-Spannungen standzuhalten;
- 15 - abgestufter Übergang von erstem und zweitem Isolierfilm entlang eines Trenches für hohe Spannungen am Rand; und
- 15 - Feldplattenwirkung durch den tiefen Trench zur Verringerung des Ron-Anteiles der Body- bzw. Driftzone.

Nachfolgend wird die Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

- 20 Fig. 1 bis 7 verschiedene Schnitte, die den Ablauf des erfindungsgemäßen Verfahrens nach einem ersten Ausführungsbeispiel veranschaulichen,
- 25 Fig. 8 bis 10 verschiedene Schnitte, die den Ablauf des erfindungsgemäßen Verfahrens nach einem zweiten Ausführungsbeispiel veranschaulichen,
- 30 Fig. 11 und 12 zwei verschiedene Schnitte, die den Ablauf des erfindungsgemäßen Verfahrens nach einem dritten Ausführungsbeispiel veranschaulichen,
- 35 Fig. 13 und 14 verschiedene Schnitte, die den Ablauf des erfindungsgemäßen Verfahrens nach einem vierten Ausführungsbeispiel veranschaulichen, und

Fig. 15 bis 17 verschiedene Schnitte, die den Ablauf des erfindungsgemäßen Verfahrens nach einem fünften Ausführungsbeispiel veranschaulichen.

5 Fig. 1 zeigt ein p'-leitendes Siliziumsubstrat 1, auf das epitaktisch eine p-leitende Siliziumschicht 3 aufgetragen wird, in die mit Hilfe einer Siliziumdioxidschicht 4 oder einem anderen geeigneten Material als Maske Gräben 2 eingeätzt werden, die im wesentlichen bis zu dem Siliziumsubstrat 1
10 reichen und in dieses eindringen können. Jedoch sind auch geringere Tiefen der Gräben 2 möglich.

Es kann auch gegebenenfalls ein Opferoxid (sacrificial oxide) zur Erhöhung der Grenzflächenbeweglichkeit aufgebracht und
15 dann wieder entfernt werden.

Das Siliziumsubstrat 1 und die Schicht 3 können beide mit Bor dotiert sein, wobei die Dotierstoffkonzentration in der Schicht 3 etwa 1×10^{14} bis 1×10^{18} Ladungsträger cm^{-3} be-
20 trägt.

Nach Ätzen der Gräben 2 wird die als Trenchmaske dienende Siliziumdioxidschicht 4 entfernt.

25 Sodann wird ein erster Siliziumdioxidfilm 5 als Feldoxid mit einer Schichtdicke abgeschieden, die von der angestrebten Spannungsklasse für die MOS-Transistorzelle abhängt, wie dies oben erläutert wurde. Bevorzugte Schichtdicken liegen zwischen $0,1 \mu\text{m}$ bis einigen μm . Zur Vermeidung von Oxidstufen
30 (vgl. oben) und zur Erzeugung von flach ansteigenden Oxidkanten können für das Feldoxid auch mehrere Schichten aus beispielsweise thermisch oxidiertem Siliziumdioxid durch Oxidation des trenchgeätzten Halbleiterkörpers und abgeschiedenem Siliziumdioxid (TEOS bzw. LPCVD-Oxid) vorgesehen werden.

35

Die gewünschte Anschrägung des Oxides bzw. der gradierte Übergang von Gateoxid auf Feldplattenoxid ergibt sich durch

die höhere naßchemische Ätzrate des LPCVD-Oxides gegenüber dem thermischen Oxid. Die Dicke der beiden Schichten wird so gewählt, daß das Oxid im Trenchboden den Spannungsanforderungen des Transistors standhält.

5

Sodann wird eine Hilfsschicht 6 aus beispielsweise Photolack bis über die Kante des Halbleiterkörpers aufgetragen, gehärtet und rückgeätzt, so daß in den Gräben 2 nur "Stöpsel" unter der Bodyunterkante zurückbleiben. Bei Verwendung von Photolack für die Hilfsschicht 6 schließt sich eine Temperaturbehandlung ("postbake") an. Damit wird die in Fig. 2 gezeigte Struktur erhalten.

10

Für beispielsweise eine Randkonstruktion kann sodann eine zusätzliche Maskierung mittels einer weiteren Hilfsschicht 7 aus Photolack, der belichtet und entwickelt wird, vorgenommen werden, wodurch bei einer anschließenden Rückätzung das Feldoxid 5 unterhalb dieser weiteren Hilfsschicht 7 zurückbleibt.

15

Es schließt sich sodann eine isotrope, naßchemische Ätzung des Feldoxids 5 an, so daß dieses in den von der weiteren Hilfsschicht 7 freiliegenden Bereichen nur unterhalb der Hilfsschicht 6 zurückbleibt. Damit wird die in Fig. 3 gezeigte Struktur erhalten.

20

25

Die beiden Trenches unterhalb der Hilfsschicht 7 sind sogenannte "inaktive" Trenches im Gegensatz zu den übrigen, "aktiven" Trenches. Die inaktiven Trenches dienen beispielsweise zum elektrischen Anschließen der Gates, als Gatefinger und wie bereits erwähnt - für die Randkonstruktion.

30

Es werden sodann die beiden Hilfsschichten 6 und 7 entfernt, d.h., der Photolack wird abgetragen.

35

Anschließend wird ein Gate-Isolierfilm 5' aus Siliziumdioxid aufgewachsen, der dünner als der erste Isolierfilm 5 ist, so daß in den Gräben 2 eine Stufe ("Oxidstufe") 33 entsteht.

Diese Stufe 33 kann abgeschrägt sein, wenn für den ersten Isolierfilm 5 mehrere Schichten verwendet werden, wie dies oben erläutert wurde. Der Winkel der abgeschrägten Stufe 20 zur Senkrechten kann beispielsweise 17° betragen. Selbstverständlich sind aber auch andere Winkel möglich.

Die Gate-Isolierschicht 5' wird abhängig von der beabsichtigten Einsatzspannung der Trench-MOS-Transistorzelle mit einer Schichtdicke von einigen wenigen nm bis über 100 nm versehen. Jedenfalls ist aber die Schichtdicke der Gate-Isolierschicht 5' geringer als die Enddicke des ersten Isolierfilmes 5.

Es schließt sich sodann eine Implantation und Ausdiffusion eines n-leitenden Bodygebietes 9 an, wobei diese Implantation durch das Feldoxid 5 bzw. 5' oder durch eine eigene Photo-technik maskiert sein kann. Sodann wird Gatematerial 8 aus beispielsweise polykristallinem Silizium abgeschieden und dotiert, wodurch die in Fig. 4 gezeigte Struktur erhalten wird.

Das Gatematerial 8 wird sodann mit Hilfe einer Maskierungsschicht 10 aus beispielsweise Photolack strukturiert bis unter die Siliziumoberkante rückgeätzt, so daß die in Fig. 5 dargestellte Struktur entsteht.

Nach Entfernen der Maskierungsschicht 10 kann eine Versiegelung des polykristallinen Materials 8 mit Hilfe beispielsweise einer in den Zeichnungen nicht gezeigten dünnen Siliziumdioxidschicht vorgenommen werden, um eine Ausdiffusion von Dotierstoffen aus dem polykristallinen Material 8 zu verhindern. Es schließen sich sodann das Auftragen einer Fotolackschicht 11 mit unkritischer Flanke über dem in Fig. 6 linken polykristallinen Material 8 sowie eine Implantation und gegebenenfalls ein Ausheilen einer n'-leitenden Bodyverstärkungszone 12 im Bereich der Oxidstufe 33 an, um die Durchbruchsspannung der Trench-MOS-Transistorzelle unter die Durchbruchsspannung an der Oxidstufe 33 im Graben 2 zu senken. Die Dotierstoffkonzentration in dieser Zone 12 beträgt vorzugs-

12

weise etwa 1×10^{18} Ladungsträger cm^{-3} . Damit liegt die in Fig. 6 gezeigte Struktur vor.

Schließlich werden, maskiert durch das Feldoxid oder durch
5 eine eigene Phototechnik, noch eine p^{++} -leitende Sourcezone 18 und eine p^{++} -leitende Diffusionszone 19 eingebracht. Sodann wird eine Isolierschicht 17 aus Borphosphorsilikatglas aufgetragen, verdichtet und durch Ätzen von Kontaktlöchern strukturiert. Nach maskiertem Implantieren einer n^{++} -leitenden Bodykontaktzone 16 werden eine Metallisierung (Elektrode)
10 13 für Source, eine Metallisierung (Elektrode) 14 für Gate und eine Metallisierung 15 abgeschieden und strukturiert, wodurch nach einer Passivierung schließlich die in Fig. 7 gezeigte Struktur erhalten wird.

15

Die Fig. 8 bis 10 zeigen eine Variante des erfindungsgemäßen Verfahrens, bei der nach Auftragen des ersten Isolierfilmes 5 und vor Anbringen der Hilfsschicht 6 eine dünne Siliziumnitridschicht mit einer Schichtdicke von beispielsweise 20 nm
20 auf dem Isolierfilm 5 aufgetragen (vgl. Fig. 8) und mit Hilfe einer Lackschicht 21 strukturiert wird, so daß die Siliziumnitridschicht 20 lediglich in den Bereichen unterhalb der Lackschicht 21 zurückbleibt. Damit wird erreicht, daß die Siliziumnitridschicht 20 lediglich im Bereich der inaktiven
25 Trenches zurückbleibt. Nach einem Belacken und Rückätzen wird die in Fig. 9 gezeigte Anordnung erhalten, bei der die Hilfsschicht 6 aus Lackstöpseln in den Trenches verbleibt.

Bei einer nachfolgenden naßchemischen Siliziumoxidätzung wird
30 der Isolierfilm 5 aus Siliziumdioxid in den Trenchböden der aktiven Trenches durch die Hilfsschicht 6 und die gesamten inaktiven Trenches mittels der Siliziumnitridschicht 20 maskiert. Nach Entfernen der Siliziumnitridschicht 20 und der Hilfsschicht 6 ist das Prozeßergebnis das gleiche wie bei dem
35 ersten Ausführungsbeispiel vor Anbringen des zweiten Isolierfilmes 5'.

Die Fig. 11 und 12 veranschaulichen ein drittes Ausführungsbeispiel des erfindungsgemäßen Verfahrens, bei dem die Strukturierung des ersten Isolierfilmes 5 in den aktiven Trenches und den inaktiven Trenches mittels einer einzigen Phototechnik vorgenommen wird. Hier wird eine Lackschicht 23 mit einer Schichtdicke von beispielsweise 4 μm mittels einer Maske 22 nur bis in eine bestimmte Tiefe (vgl. die Strichlinie 24) belichtet. Der belichtete Teil der Lackschicht 23 wird entfernt. Nach einem weiteren Abtragen des Oberflächenbereiches der Lackschicht 23 verbleiben lediglich Lackstöpsel 26 als Hilfsschicht 6 und eine Lackschicht 25 mit einer Schichtdicke von etwa 1,5 μm über den inaktiven Trenches zurück. Dieser weitere Abtragungsprozeß der Lackschicht 23 zur Gewinnung der Lackstöpsel 26 und der Lackschicht 25 kann beispielsweise durch eine Plasmarückätzung erfolgen (vgl. Fig. 12). Anstelle einer solchen Plasmarückätzung kann gegebenenfalls auch eine Trockenentwicklung vorgenommen werden.

Die Fig. 13 und 14 zeigen Schnitte zur Veranschaulichung einer weiteren Variante des erfindungsgemäßen Verfahrens gemäß einem vierten Ausführungsbeispiel. Bei diesem Ausführungsbeispiel werden mittels einer ersten Photolackschicht 31 inaktive Trenches abgedeckt, während mit Hilfe einer zweiten Photolackschicht 32 die notwendige Topographie, d.h. Strukturierung des ersten Isolierfilmes 5 vorgenommen wird. Damit wird eine Anordnung erhalten, bei der die Hilfsschicht 6 in der Form von Lackstöpseln in den aktiven Trenches verbleibt, während die inaktiven Trenches mit der Photolackschicht 31 gefüllt sind. Nach Entfernen der Hilfsschicht 6 und der Reste der Photolackschichten 31 und 32 erfolgt die Weiterverarbeitung wie in dem ersten Ausführungsbeispiel.

Die Fig. 15 bis 17 zeigen schließlich Schnitte zur Erläuterung einer weiteren Variante des erfindungsgemäßen Verfahrens in einem fünften Ausführungsbeispiel, das zu dem vierten Ausführungsbeispiel ähnlich ist: auch hier werden zwei Phototechniken verwendet, jedoch wird hier eine strukturierende

Photolackschicht 28 mit einer Schichtdicke von etwa 3 μm erst nach Auftragen einer Photolackschicht 27 mit einer Schichtdicke von etwa 1 μm erzeugt. Die so erhaltene Struktur ist in Fig. 16 gezeigt. Nach Entfernen von wesentlichen Teilen der

5 Photolackschicht 28 und der Photolackschicht 27 verbleiben lediglich Photolackschichten 29 (als Rest der Photolackschicht 28) und 30 (als Rest der Photolackschicht 27), so daß die in Fig. 17 gezeigte Anordnung vorliegt. Dieses Entfernen

10 von wesentlichen Teilen der Photolackschichten 27 und 28 kann wieder durch Plasmarückätzung oder Trockenentwicklung erfolgen. Schließlich werden die verbleibenden Teile 29 und 30 der Photolackschichten 28 und 27 abgetragen, um die dann erhaltene Anordnung in der gleichen Weise wie beim ersten Ausführungsbeispiel weiterzuverarbeiten.

Patentansprüche

1. Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors, bei dem in einen Halbleiterkörper (1, 3) wenigstens ein Graben (2) eingebracht wird, der dann mit einem von der Grabeninnenfläche durch eine Isolierschicht (5, 5') getrennten leitenden Material (8) wenigstens teilweise ausgefüllt wird, wobei die Isolierschicht (5, 5') so in den Graben (2) eingebracht wird, daß diese im Bereich des unteren Endes des Grabens (2) mit einer größeren Schichtdicke als an dessen oberen Ende versehen wird, d a d u r c h g e k e n n z e i c h n e t , daß
- 5 (a) in den Halbleiterkörper (1, 3) der wenigstens eine Graben (2) eingebracht wird,
- 10 (b) die Wände und der Boden des Grabens mit einem ersten Isolierfilm (5) belegt werden,
- (c) das untere Ende des Grabens (2) mit einer ersten Hilfsschicht (6) gefüllt wird,
- (d) die nicht mit der ersten Hilfsschicht (6) belegten
- 20 Teile des ersten Isolierfilms (5) entfernt werden,
- (e) die Hilfsschicht (6) entfernt wird,
- (f) ein zweiter Isolierfilm (5'), der dünner als die Enddicke des ersten Isolierfilmes (5) ist, auf den freiliegenden Wänden des Grabens (2) aufgewachsen wird,
- 25 (g) der Graben mit dem leitenden Material (8) gefüllt wird und
- (h) Source- und Bodyzonen (19) in den Halbleiterkörper (1, 3) eingebracht und Metallisierungen (13, 14, 15) zur Kontaktierung angebracht werden.
- 30
2. Verfahren nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß der Graben (2) in eine auf einem Halbleitersubstrat (1) vorgesehene epitaktische Schicht (3) eingebracht wird.
- 35
3. Verfahren nach Anspruch 1 oder 2, d a d u r c h g e k e n n z e i c h n e t , daß

die epitaktische Schicht (3) mit einer Dotierstoffkonzentration von 1×10^{14} bis 1×10^{16} Ladungsträger cm^{-3} versehen wird.

- 5 4. Verfahren nach einem der Ansprüche 1 bis 3,
da d u r c h g e k e n n z e i c h n e t , daß
die Gräben (2) streifen- oder gitterförmig in den Halb-
leiterkörper (1, 3) eingebracht werden.
- 10 5. Verfahren nach einem der Ansprüche 1 bis 4,
da d u r c h g e k e n n z e i c h n e t , daß
der erste Isolierfilm (5) mit einer Schichtdicke von etwa
0,1 μm bis einigen μm aufgetragen wird.
- 15 6. Verfahren nach einem der Ansprüche 1 bis 5,
da d u r c h g e k e n n z e i c h n e t , daß
der erste Isolierfilm (5) in mehreren Schichten aufgetra-
gen wird.
- 20 7. Verfahren nach einem der Ansprüche 1 bis 6,
da d u r c h g e k e n n z e i c h n e t , daß
für die erste Hilfsschicht (6) ein Photolack verwendet
wird.
- 25 8. Verfahren nach einem der Ansprüche 1 bis 7,
da d u r c h g e k e n n z e i c h n e t , daß
für eine Randkonstruktion als zusätzliche Maskierung eine
weitere Hilfsschicht (7) aufgetragen wird, welche die
Entfernung des ersten Isolierfilmes (5) in den maskierten
30 Bereichen verhindert.
9. Verfahren nach einem der Ansprüche 1 bis 8,
da d u r c h g e k e n n z e i c h n e t , daß
der zweite Isolierfilm mit einer Schichtdicke von einigen
35 nm bis über 100 nm aufgetragen wird.

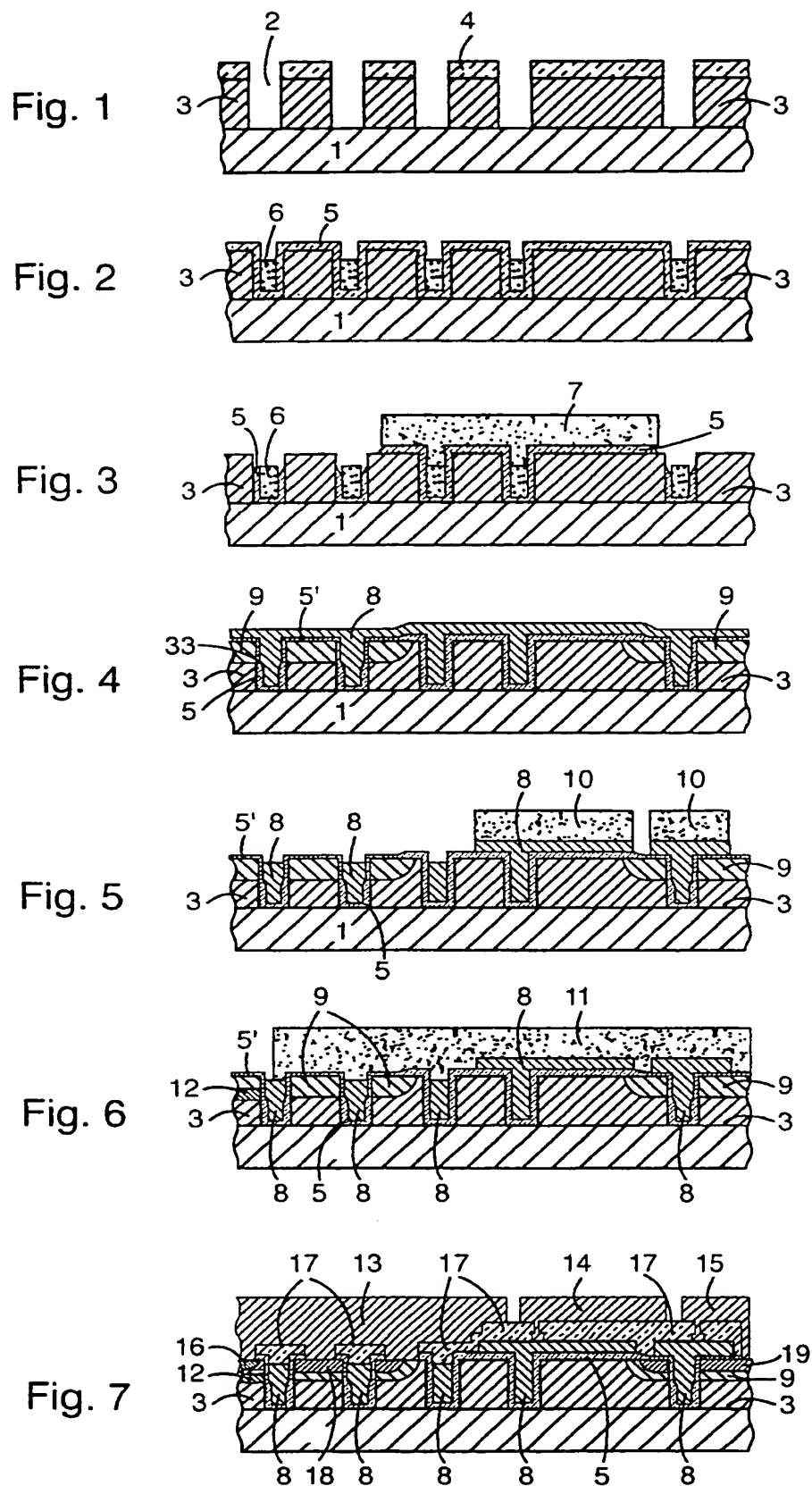
17

10. Verfahren nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, daß
in ein Bodygebiet (9) eine Verstärkung (12) eingebracht
wird.
- 5 11. Verfahren nach Anspruch 10,
dadurch gekennzeichnet, daß
die Verstärkung (12) implantiert wird.
- 10 12. Verfahren nach einem der Ansprüche 1 bis 11,
dadurch gekennzeichnet, daß
nach Belegen der Wände und des Bodens des Grabens mit dem
ersten Isolierfilm (5) eine Siliziumnitridschicht (20)
auf dem ersten Isolierfilm (5) aufgetragen und struktu-
15 riert wird.
13. Verfahren nach Anspruch 12,
dadurch gekennzeichnet, daß
die Siliziumnitridschicht (20) mit einer Schichtdicke von
20 etwa 20 nm versehen wird.
14. Verfahren nach einem der Ansprüche 1 bis 11,
dadurch gekennzeichnet, daß
die Hilfsschicht (6 bzw. 26) und Strukturierung des er-
25 sten Isolierfilmes (5) mit Hilfe einer einzigen Photo-
lackschicht (23), die über eine Maske (22) nur bis in ei-
ne vorgegebene Tiefe (24) belichtet wird, vorgenommen
wird.
- 30 15. Verfahren nach einem der Ansprüche 1 bis 11,
dadurch gekennzeichnet, daß
inaktive Gräben mittels einer ersten Photolackschicht
(31) abgedeckt werden und eine Strukturierung des ersten
Isolierfilmes (5) mittels einer zweiten Photolackschicht
35 (32) vorgenommen wird.

18

16. Verfahren nach Anspruch 14,
d a d u r c h g e k e n n z e i c h n e t , daß
die strukturierende Photolackschicht (32) nach der abdek-
kenden Photolackschicht (31) aufgetragen wird.

1/3



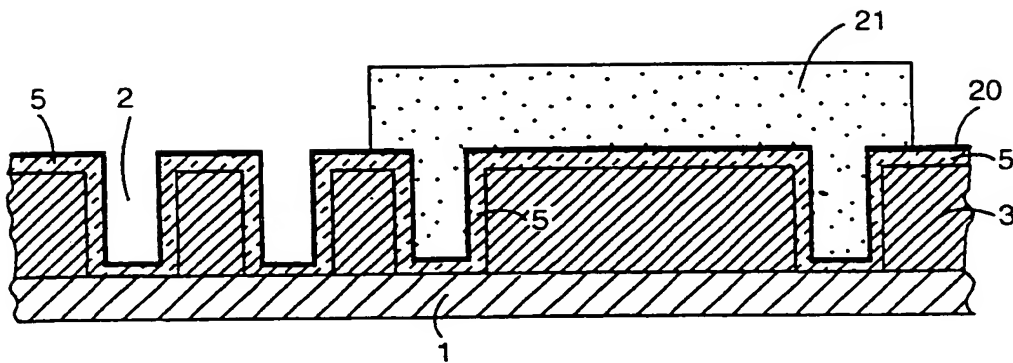


Fig. 8

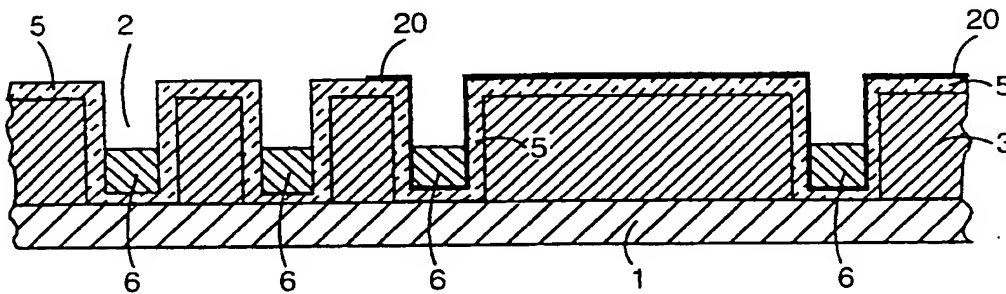


Fig. 9

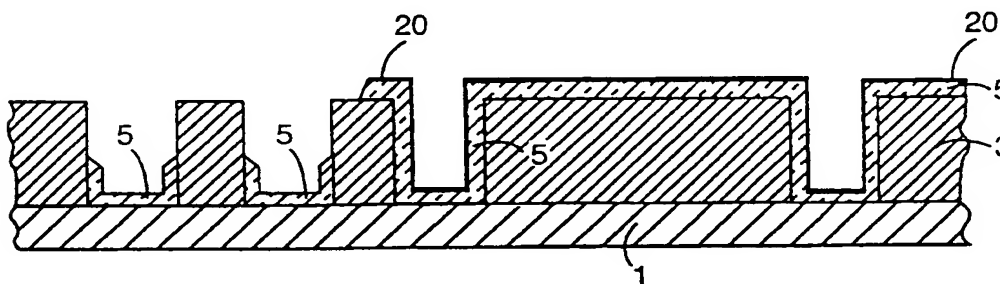


Fig. 10

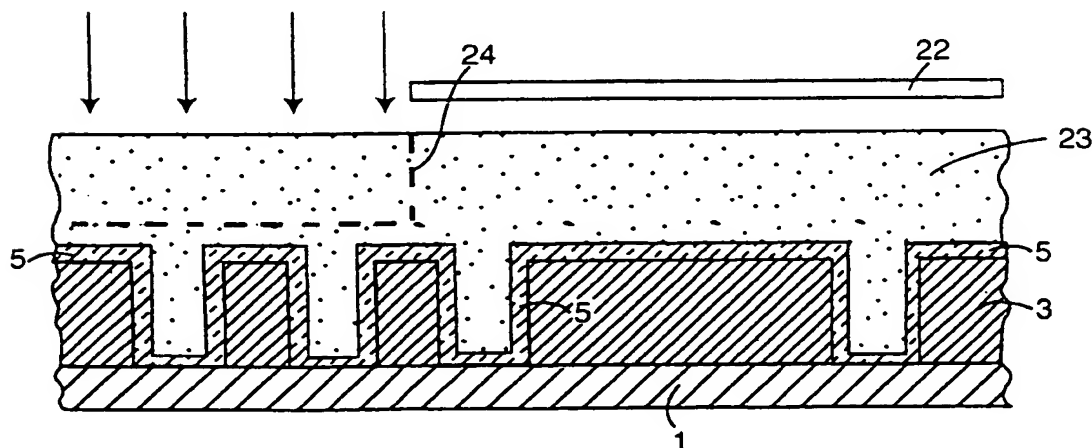


Fig. 11

3/3

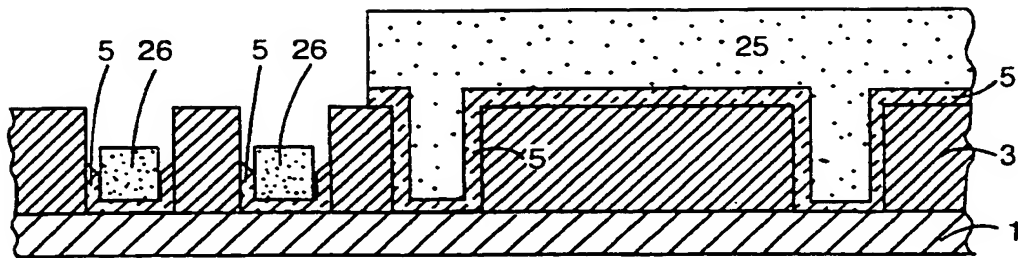


Fig. 12

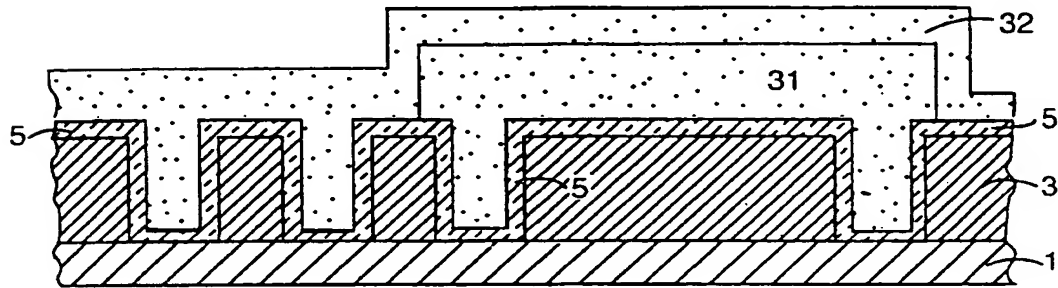


Fig. 13

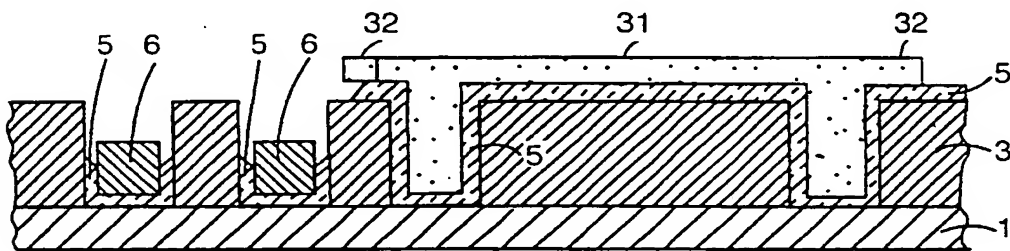


Fig. 14

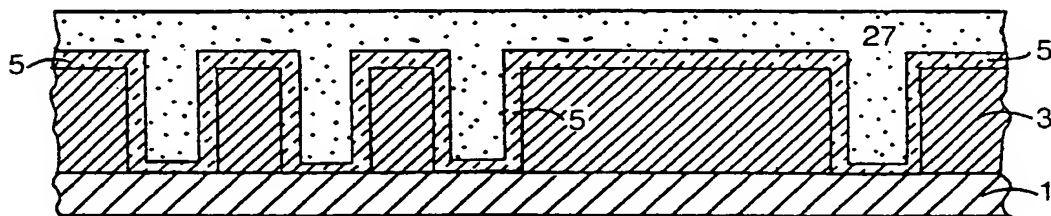


Fig. 15

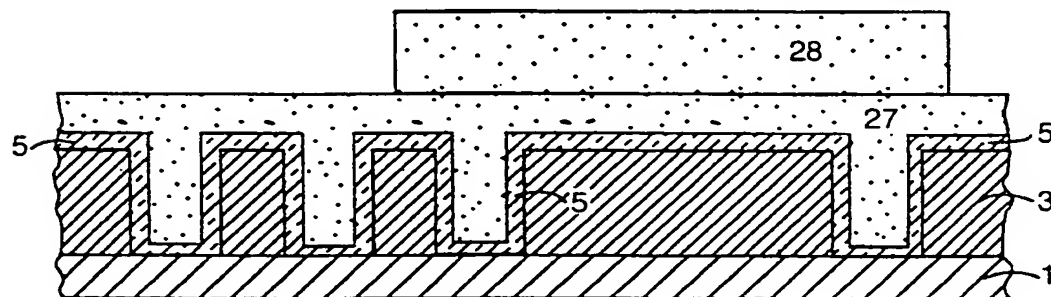


Fig. 16

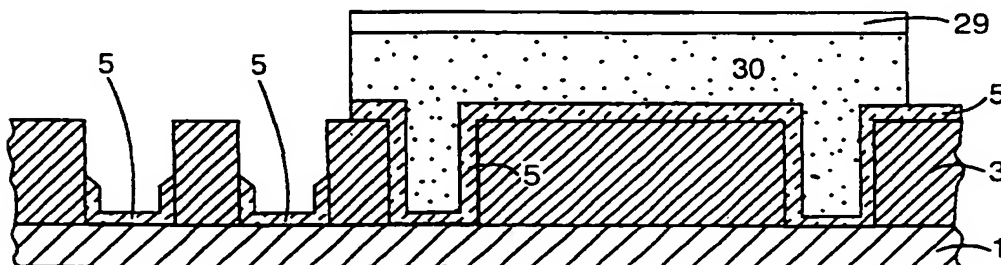


Fig. 17

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 00/01647

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L29/423 H01L21/336 H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

WPI Data, PAJ, INSPEC, COMPENDEX, EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 283 201 A (PIKE JR DOUGLAS A ET AL) 1 February 1994 (1994-02-01)	1-7, 9, 14
Y	column 10, line 65 -column 11, line 18; figures 1-23	8, 10-13
Y	US 5 605 852 A (BENCUYA IZAK) 25 February 1997 (1997-02-25)	8, 12, 13
Y	column 5, line 33 -column 6, line 24; figure 5	
Y	WO 97 07548 A (SILICONIX INC) 27 February 1997 (1997-02-27)	10, 11
A	page 3, line 14 -page 8, line 14; figure 1	
	US 5 637 898 A (BALIGA BANTVAL J) 10 June 1997 (1997-06-10)	1-16
	column 6, line 59 -column 7, line 26; figure 2	
	-/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

22 August 2000

Date of mailing of the international search report

29/08/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Berthold, K

INTERNATIONAL SEARCH REPORT

Inte .onal Application No

PCT/DE 00/01647

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 918 114 A (JEON CHANG-KI ET AL) 29 June 1999 (1999-06-29) column 6, line 27 -column 6, line 50; figure 3E	1
A	EP 0 899 791 A (SILICONIX INC) 3 March 1999 (1999-03-03) column 17, line 31 -column 19, line 18; figure 19	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 00/01647

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5283201	A	01-02-1994	US 4895810 A	23-01-1990
			US 5182234 A	26-01-1993
			US 5262336 A	16-11-1993
			EP 0654173 A	24-05-1995
			WO 9403922 A	17-02-1994
			US 5801417 A	01-09-1998
			US 5648283 A	15-07-1997
			AT 144078 T	15-10-1996
			CA 1305261 A	14-07-1992
			CA 1326567 A	25-01-1994
			CA 1326568 A	25-01-1994
			DE 68927309 D	14-11-1996
			DE 68927309 T	06-03-1997
			EP 0342952 A	23-11-1989
			JP 2056937 A	26-02-1990
			JP 3025277 B	27-03-2000
			US 5528058 A	18-06-1996
			US 5045903 A	03-09-1991
			US 5019522 A	28-05-1991
			US 5089434 A	18-02-1992
			US 5256583 A	26-10-1993
			US 5190885 A	02-03-1993
			US 5283202 A	01-02-1994
			EP 0601093 A	15-06-1994
			JP 6510400 T	17-11-1994
			WO 9305535 A	18-03-1993
US 5605852	A	25-02-1997	US 5430324 A	04-07-1995
			DE 580213 T	08-12-1994
			EP 0580213 A	26-01-1994
			JP 6204483 A	22-07-1994
			KR 185677 B	20-03-1999
WO 9707548	A	27-02-1997	AU 6722396 A	12-03-1997
			EP 0853818 A	22-07-1998
US 5637898	A	10-06-1997	NONE	
US 5918114	A	29-06-1999	IT MI971192 A	23-11-1998
			JP 9321303 A	12-12-1997
EP 0899791	A	03-03-1999	US 6049108 A	11-04-2000
			JP 11154748 A	08-06-1999

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/01647

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 7 H01L29/423 H01L21/336 H01L29/78

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationsymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

WPI Data, PAJ, INSPEC, COMPENDEX, EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 283 201 A (PIKE JR DOUGLAS A ET AL) 1. Februar 1994 (1994-02-01)	1-7, 9, 14
Y	Spalte 10, Zeile 65 -Spalte 11, Zeile 18; Abbildungen 1-23	8, 10-13
Y	US 5 605 852 A (BENCUYA IZAK) 25. Februar 1997 (1997-02-25)	8, 12, 13
	Spalte 5, Zeile 33 -Spalte 6, Zeile 24; Abbildung 5	
Y	WO 97 07548 A (SILICONIX INC) 27. Februar 1997 (1997-02-27)	10, 11
	Seite 3, Zeile 14 -Seite 8, Zeile 14; Abbildung 1	
	— -/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderschaftlicher Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderschaftlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

22. August 2000

Absendedatum des Internationalen Recherchenberichts

29/08/2000

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Berthold, K

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 637 898 A (BALIGA BANTVAL J) 10. Juni 1997 (1997-06-10) Spalte 6, Zeile 59 -Spalte 7, Zeile 26; Abbildung 2	1-16
A	US 5 918 114 A (JEON CHANG-KI ET AL) 29. Juni 1999 (1999-06-29) Spalte 6, Zeile 27 -Spalte 6, Zeile 50; Abbildung 3E	1
A	EP 0 899 791 A (SILICONIX INC) 3. März 1999 (1999-03-03) Spalte 17, Zeile 31 -Spalte 19, Zeile 18; Abbildung 19	1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/01647

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5283201 A	01-02-1994	US 4895810 A	23-01-1990
		US 5182234 A	26-01-1993
		US 5262336 A	16-11-1993
		EP 0654173 A	24-05-1995
		WO 9403922 A	17-02-1994
		US 5801417 A	01-09-1998
		US 5648283 A	15-07-1997
		AT 144078 T	15-10-1996
		CA 1305261 A	14-07-1992
		CA 1326567 A	25-01-1994
		CA 1326568 A	25-01-1994
		DE 68927309 D	14-11-1996
		DE 68927309 T	06-03-1997
		EP 0342952 A	23-11-1989
		JP 2056937 A	26-02-1990
		JP 3025277 B	27-03-2000
		US 5528058 A	18-06-1996
		US 5045903 A	03-09-1991
		US 5019522 A	28-05-1991
		US 5089434 A	18-02-1992
		US 5256583 A	26-10-1993
		US 5190885 A	02-03-1993
		US 5283202 A	01-02-1994
		EP 0601093 A	15-06-1994
		JP 6510400 T	17-11-1994
		WO 9305535 A	18-03-1993
US 5605852 A	25-02-1997	US 5430324 A	04-07-1995
		DE 580213 T	08-12-1994
		EP 0580213 A	26-01-1994
		JP 6204483 A	22-07-1994
		KR 185677 B	20-03-1999
WO 9707548 A	27-02-1997	AU 6722396 A	12-03-1997
		EP 0853818 A	22-07-1998
US 5637898 A	10-06-1997	KEINE	
US 5918114 A	29-06-1999	IT MI971192 A	23-11-1998
		JP 9321303 A	12-12-1997
EP 0899791 A	03-03-1999	US 6049108 A	11-04-2000
		JP 11154748 A	08-06-1999

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☒ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.